

Requested Patent: JP7094606A
Title: NOVOLATILE SEMICONDUCTOR MEMORY DEVICE ;
Abstracted Patent: JP7094606 ;
Publication Date: 1995-04-07 ;
Inventor(s): HASHIGAMI HIROYUKI ;
Applicant(s): RICOH CO LTD ;
Application Number: JP19930261508 19930925 ;
Priority Number(s): ;
IPC Classification: H01L21/8247; H01L29/788; H01L29/792 ;
Equivalents: JP3354661B2 ;

RECEIVED
CENTRAL FAX CENTER

OCT 11 2005

ABSTRACT:

PURPOSE: To restrict the charge gain by employing an insulation film having low thermal hysteresis of stress as a passivation film.

CONSTITUTION: A source region 4, a drain region 6 and a floating gate electrode 10 are formed on a silicon substrate 2 and an ONO dielectric film 12, comprising first and third silicon oxide layers and a second silicon nitride layer, is deposited thereon. A first layer metalization 18 is then connected with the source region 4 and the drain region 6 through a contact hole made through an insulation film 16 formed on a control gate electrode 14. Subsequently, a second layer metalization 22 is formed on an interlayer insulation film 20 and connected with the metalization 18 through a through hole. The charge gain can be restricted by employing a TEO silicon oxide/silicon nitride and TEO silicon oxide having low thermal hysteresis of stress, respectively, as a passivation film 24 on the metalization 22 and the interlayer insulation film 20.

RECEIVED
CENTRAL FAX CENTER

OCT 11 2005

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94606

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁸ 識別記号 庁内整理番号 F I 技術表示箇所H 0 1 L 21/8247
29/788
29/792

H 0 1 L 29/ 78 3 7 1

審査請求 未請求 請求項の数6 F D (全 6 頁)

(21) 出願番号 特願平5-261508

(22) 出願日 平成5年(1993)9月25日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 橘上 裕幸

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

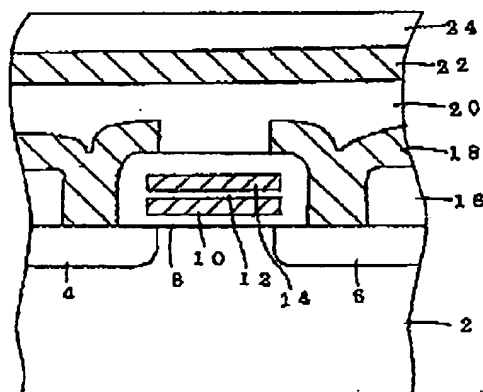
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【要約】

【目的】 不揮発性半導体メモリ装置のチャージゲイン量を小さくする。

【構成】 パッシベーション膜24として膜応力の熱ヒステリシスの小さい絶縁膜TEOSシリコン酸化膜/シリコン窒化膜を用い、2層メタル配線の層間絶縁膜20として膜応力の熱ヒステリシスの小さいTEOSシリコン酸化膜を用いる



(2)

特開平7-94606

【特許請求の範囲】

【請求項1】 基板のチャネル領域上にゲート絶縁膜を介してフローティングゲート電極を有し、その上に1層目がシリコン酸化膜、2層目がシリコン窒化膜、3層目がシリコン酸化膜にてなる3層構造のONO誘電体膜を介してコントロールゲート電極が形成されている不揮発性半導体メモリ装置において、

パッシベーション膜として昇温と降温を含む熱サイクルにおける膜応力の熱ヒステリシスの小さい絶縁膜を用いることを特徴とする不揮発性半導体メモリ装置。

【請求項2】 パッシベーション膜はTEOSガスプロセスで形成されたシリコン酸化膜である請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】 パッシベーション膜は1層目がTEOSガスプロセスで形成されたシリコン酸化膜、2層目がシリコン窒化膜にてなる2層構造の絶縁膜である請求項1に記載の不揮発性半導体メモリ装置。

【請求項4】 パッシベーション膜は弱い圧縮応力を有する絶縁膜を含んでいる請求項1に記載の不揮発性半導体メモリ装置。

【請求項5】 コントロールゲート電極上に絶縁膜を介して2層メタル配線が形成され、その2層メタル配線上にパッシベーション膜が形成されており、前記2層メタル配線の1層目メタル配線と2層目メタル配線の間の層間絶縁膜として昇温と降温を含む熱サイクルにおける膜応力の熱ヒステリシスの小さい絶縁膜を用いる請求項1に記載の不揮発性半導体メモリ装置。

【請求項6】 1層目メタル配線と2層目メタル配線の間の前記層間絶縁膜はTEOSガスプロセスで形成されたシリコン酸化膜である請求項5に記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフローティングゲート電極を有する不揮発性半導体メモリ装置に関し、特にフローティングゲート電極とコントロールゲート電極の間の誘電体膜が1層目がシリコン酸化膜、2層目がシリコン窒化膜、3層目がシリコン酸化膜にてなる3層構造のONO誘電体膜である不揮発性半導体メモリ装置に関するものである。

【0002】

【従来の技術】 不揮発性半導体メモリ装置のパッシベーション膜としては、紫外線消去が必要なEPROMの場合には紫外線を透過できるようにするためにそのパッシベーション膜としてはリンを含んだシリコン酸化膜であるPSG単層膜が使用される。また、紫外線消去が不要なワンタイムROMや電氣的消去が可能なEEPROMの場合には、パッシベーション膜として1層目がPSG膜、2層目がシリコン窒化膜にてなる積層絶縁膜が使用されている。PSG膜の上にシリコン窒化膜を積層した

構造のパッシベーション膜を形成する場合、生産上の稼働効率を考慮して同一CVD装置内の別のチャンバでプラズマPSG膜とプラズマシリコン窒化膜を連続して堆積している。

【0003】 フローティングゲート電極とコントロールゲート電極の間の誘電体膜としてONO膜を用いた2層ポリシリコン構造の不揮発性半導体メモリ装置において、プログラミングによりフローティングゲート電極に電荷を蓄積した状態で高温で保存し、その後紫外線照射によりデータを消去した後、再び高温で保存すると、紫外線によるデータ消去後の状態と比較してメモリ素子のしきい値電圧が上昇する現象が生じる。この現象はチャージゲイン現象と呼ばれており、ONO膜の1層目のシリコン酸化膜が薄膜化されることにより一層顕著になってくることが報告されている(1991 IEEE/1 RPS, 175~182頁参照)。

【0004】

【発明が解決しようとする課題】 システム化された半導体集積回路装置の動作電圧の低電圧化が進む中、不揮発性半導体メモリ装置を搭載した1チップマイクロコンピュータも含めて不揮発性半導体メモリ装置自身の低電圧動作化も強く求められている。その際、不揮発性半導体メモリ装置のしきい値電圧が上昇するチャージゲイン現象が起こると、不揮発性半導体メモリ装置の低電圧動作を不安定にし、低電圧動作化の妨げになる。本発明はチャージゲイン現象の小さい不揮発性半導体メモリ装置を提供することを目的とするものである。

【0005】

【課題を解決するための手段】 本発明が対象とする不揮発性半導体メモリ装置を図1に示す。シリコン基板2に不純物拡散層によるソース領域4とドレイン領域6が形成され、両領域4、6間がチャネル領域となる。チャネル領域上にはゲート酸化膜8を介してポリシリコンにてなるフローティングゲート電極10が形成され、その上に1層目がシリコン酸化膜、2層目がシリコン窒化膜、3層目がシリコン酸化膜にてなる3層構造のONO誘電体膜12が形成されている。ONO誘電体膜12上にはポリシリコンにてなるコントロールゲート電極14が形成されている。コントロールゲート電極14上には絶縁膜16が形成され、絶縁膜16に設けられたコンタクトホールを介して1層目メタル配線18がソース領域4、ドレイン領域6と接続され、コントロールゲート電極14にもメタル配線が接続されている。メタル配線18上には層間絶縁膜20が設けられ、その上に2層目のメタル配線22が形成されている。メタル配線18とメタル配線22の間は層間絶縁膜20に設けられたスルーホールを介して接続されている。メタル配線22上にはパッシベーション膜24が形成され、パッシベーション膜24には外部と接続するためのパッドを形成するために開口部が設けられている。

(3)

特開平7-94606

3

【0006】本発明はこのような構造の不揮発性半導体メモリ装置で、パッシベーション膜24として、昇温と降温を含む熱サイクルにおける膜応力の熱ヒステリシスの小さい絶縁膜を用いたものである。本発明の好ましい態様では、パッシベーション膜はTEOSガスプロセスで形成されたシリコン酸化膜（以下、TEOSシリコン酸化膜という）である。TEOSシリコン酸化膜は、TEOS (tetraethylorthosilicate, $\text{Si}(\text{OC}_2\text{H}_5)_4$) を反応ガスとしてプラズマCVD法により成長させたシリコン酸化膜である。

【0007】さらに好ましい態様では、パッシベーション膜は1層目がTEOSシリコン酸化膜、2層目がシリコン窒化膜にてなる2層構造の絶縁膜である。さらに好ましい態様では、パッシベーション膜は弱い圧縮応力を有する絶縁膜を含んでいる。

【0008】さらに好ましい態様では、コントロールゲート電極上に絶縁膜を介して2層メタル配線が形成され、その2層メタル配線上にパッシベーション膜が形成されており、その2層メタル配線の1層目メタル配線と2層目メタル配線の間の層間絶縁膜として昇温と降温を含む熱サイクルにおける膜応力の熱ヒステリシスの小さい絶縁膜を用いる。さらに好ましい態様では、1層目メタル配線と2層目メタル配線の間の層間絶縁膜としてTEOSシリコン酸化膜を用いる。

【0009】チャージゲインを評価する方法の一例は、図2に示されるように、単体のEPROM素子を用いてプログラミング（フローティングゲート電極10に電荷を蓄積）→250℃で150時間高温保存→紫外線照射によるデータ消去→250℃で3時間高温保存、を行ない、紫外線照射によるデータ消去後から250℃で3時間の高湿保存後までの間でのメモリ素子のしきい値電圧の上昇量 ΔV_{th} を測定し、その値をチャージゲイン量と定義する。プログラミングの際はソース電極をGNDとし、コントロールゲート電極とドレイン電極に12.5Vを1ミリ秒間印加する。しきい値電圧の測定はソース電極をGNDとし、ドレイン電極に2Vを印加し、コントロールゲート電極の印加電圧を上げていったときにこのメモリ素子がオンとなるときのゲート電圧として測定する。

【0010】本発明はチャージゲイン現象が起こるのはゲート電極のONO膜を形成した後のパッシベーション膜の応力変動が大きく影響し、さらにはメタル配線間の層間絶縁膜の応力変動も影響することを見出し、それらの応力を緩和することによってチャージゲイン量を抑えるようにしたものである。

【0011】図3に単層膜の応力ヒステリシスを測定した結果を示す。図3はPSG膜、引っ張り応力をもつシリコン窒化膜（SiN (Tensile)）、圧縮応力をもつシリコン窒化膜（SiN (Compressive)）、及びTEOSシリコン酸化膜（TEOS）のそれぞれについて、

4

室温から400℃余りの温度まで加熱し、再び室温まで冷却させたときの応力変化を示している。この結果によれば、PSG膜は大きな応力ヒステリシスを有し、成膜されたままの初期状態では-110MPaの圧縮応力をもっていたものが、熱処理後には+100MPaの引っ張り応力をもつものに変化する。これに対しTEOSシリコン酸化膜の応力の熱ヒステリシスは成膜されたままの初期状態では-75MPaであり、熱サイクル後には-50MPaとわずかに変化するに過ぎない。

10 【0012】

【実施例】試料AからEの5種類の試料を作成し、それらの試料におけるメタル配線層の間の層間絶縁膜20と、パッシベーション膜24の種類を図4に示す。それぞれは積層構造であり、/の左側が下層膜、右側が上層膜を意味する。メタル配線層の間の層間絶縁膜を2層にしているのは平坦化のためであり、1層目の絶縁膜を堆積し、その上にSOC（スピン・オン・ガラス）膜を塗布し、焼成後にエッチバックを施して平坦化し、その上にさらに絶縁膜を堆積させたものである。パッシベーション膜は下層に被覆性のよいPSG膜（試料A）又はTEOSシリコン酸化膜（試料B～E）を形成し、その上に緻密性がよく水分透過に対する耐性の優れたシリコン窒化膜を積層したものである。

【0013】試料Aは従来から知られている構造であり、メタル配線の層間絶縁膜はPSG膜からなり、パッシベーション膜は下層がPSG膜で上層が紫外線透過型シリコン窒化膜（引っ張り応力型）にてなる積層膜である。試料BからEは本発明の実施例であり、パッシベーション膜はいずれも下層がTEOSシリコン酸化膜、上層が紫外線透過型シリコン窒化膜（Trans. SiN）にてなる積層膜である。シリコン窒化膜でSiN (Tensile) と記されているのは+150MPaの引っ張り応力をもつシリコン窒化膜であり、SiN (Compressive) と記されているのは-150MPaの圧縮応力をもつシリコン窒化膜である。シリコン窒化膜の応力の大きさは製造条件の反応ガス組成を変えることにより変化させることができ、実施例に用いた応力の膜に限定されるものではない。

【0014】実施例B～EのうちBとCはメタル配線の層間絶縁膜が従来と同じくPSG膜である。DとEはメタル配線の層間絶縁膜がTEOSシリコン酸化膜からなるものである。各膜の膜厚の一例を示すと、メタル配線の層間絶縁膜ではPSG/PSG膜もTEOS/TEOS膜も、ともに下層が6500Å、上層が4000Åである。パッシベーション膜ではPSG/SiN膜もTEOS/SiN膜も、ともに下層が8000Å、上層が6000Åである。

【0015】これらの試料A～Eについてチャージゲイン量を測定した結果を図5に示す。チャージゲイン量の測定値を示すと、試料Aでは0.29V、試料Bでは

50

(4)

特開平7-94606

5

0.08 V、試料Cでは0.05 V、試料Dでは0.06 V、試料Eでは0.03 Vであった。この結果から、膜応力の熱ヒステリシスの大きいPSG膜をパッシベーション膜に用いた試料Aでは大きなチャージゲイン量を示している。それに対し、試料B～Eはパッシベーション膜として膜応力の熱ヒステリシスの小さいTEOSシリコン酸化膜をシリコン酸化膜の下地に用いているので、チャージゲイン量が小さくなっている。

【0016】試料CとEではシリコン酸化膜の膜応力が圧縮応力型であり、試料BとDでは引っ張り応力型である。図5の測定結果から、シリコン酸化膜の膜応力が圧縮型の方が引っ張り型よりもチャージゲイン量は小さくなっている。また、メタル配線の層間絶縁膜の種類がPSG膜である試料B、CとTEOSシリコン酸化膜である試料D、Eを比較すると、2層メタル配線の層間絶縁膜として膜応力の熱ヒステリシスの小さいTEOSシリコン酸化膜を用いる方が膜応力の熱ヒステリシスの大きいPSG膜を用いるよりもチャージゲイン量が小さくなっている。

【0017】図4に示した実施例ではパッシベーション膜としてTEOSシリコン酸化膜上に紫外線透過型シリコン酸化膜を積層したものを使用しているが、シリコン酸化膜は紫外線非透過型であってもよい。また、水分の透過に対する要求が大きい場合にはシリコン酸化膜を設けず、TEOSシリコン酸化膜単層のパッシベーション膜とすることもできる。

【0018】

【発明の効果】本発明の不揮発性半導体メモリ装置ではパッシベーション膜として膜応力の熱ヒステリシスの小さい絶縁膜を用いることによってチャージゲイン量を抑

6

えることができる。2層メタル配線を用いる場合のメタル配線の層間絶縁膜としても膜応力の熱ヒステリシスの小さい絶縁膜を用いることによってさらにチャージゲイン量を抑えることができる。パッシベーション膜の膜応力を引っ張り応力型パッシベーション膜よりも圧縮応力型パッシベーション膜にする方がチャージゲイン量を抑えることができる。

【図面の簡単な説明】

【図1】本発明が適用される不揮発性半導体メモリ装置を示す断面図である。

【図2】チャージゲイン評価のための熱サイクルを示す図である。

【図3】各種単層膜の応力ヒステリシスを示す図である。

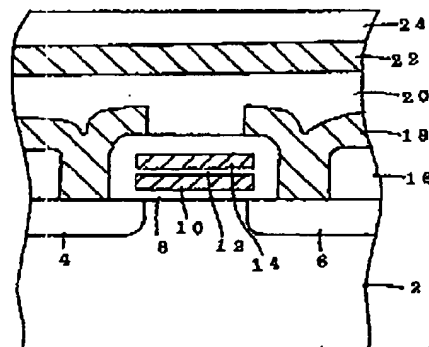
【図4】比較例Aと実施例B～Eの層間絶縁膜とパッシベーション膜の種類を示す図である。

【図5】比較例Aと実施例B～Eのチャージゲイン量を示す図である。

【符号の説明】

- | | |
|----|--------------|
| 4 | ソース領域 |
| 6 | ドレイン領域 |
| 8 | ゲート酸化膜 |
| 10 | フローティングゲート電極 |
| 12 | ONO誘電体膜 |
| 14 | コントロールゲート電極 |
| 18 | 1層目メタル配線 |
| 20 | 層間絶縁膜 |
| 22 | 2層目メタル配線 |
| 24 | パッシベーション膜 |

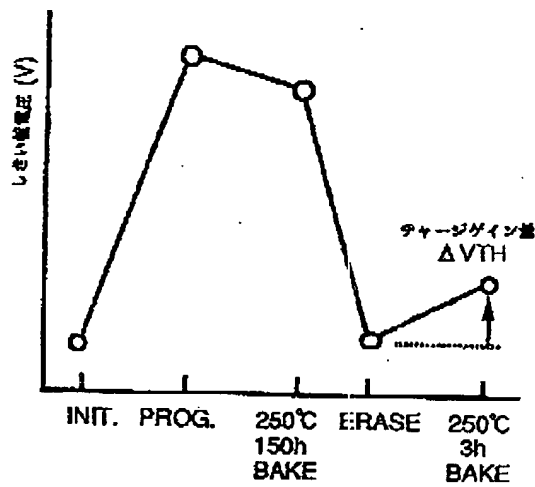
【図1】



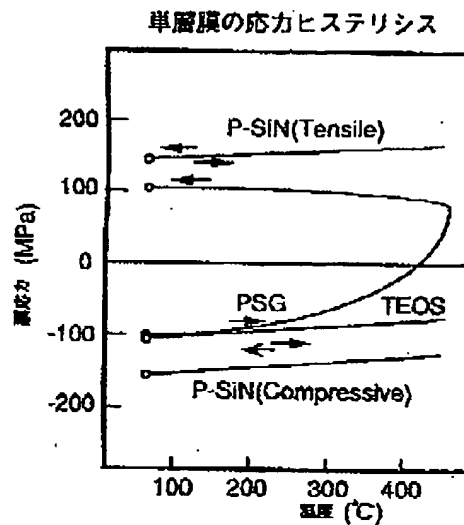
(5)

特開平7-94606

【図2】



【図3】



【図4】

試料	メタル配線の層間絶縁膜	パッシベーション膜
A	PSG / PSG	PSG / UV Trans.SiN (Tensile)
B	PSG / PSG	TEOS / UV Trans.SiN (Tensile)
C	PSG / PSG	TEOS / UV Trans.SiN (Compressive)
D	TEOS / TEOS	TEOS / UV Trans.SiN (Tensile)
E	TEOS / TEOS	TEOS / UV Trans.SiN (Compressive)

UV Trans.SiN (Tensile) : +150 (MPa)

UV Trans.SiN (Compressive) : -150 (MPa)

(6)

特開平7-94606

【図5】

